

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144552

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

H01F 41/04

H01F 17/00

(21)Application number : 08-294967

(71)Applicant : SONY CORP

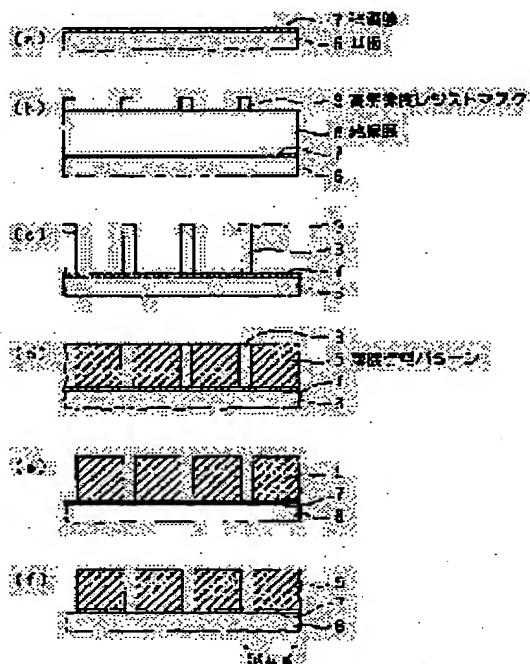
(22)Date of filing : 07.11.1996

(72)Inventor : NAKAMURA MITSUHIRO

(54) FORMING METHOD OF THIN FILM CONDUCTING PATTERN AND THIN FILM INDUCTOR USING THE METHOD**(57)Abstract:**

PROBLEM TO BE SOLVED: To reduce space interval or the like and ensure the thickness of a pattern, by exposing a current flowing film of a substratum, leaving a thin film conducting pattern in a complementary pattern type, and eliminating the current flowing film of the substratum in the exposed part by using the thin film conducting pattern as an etching mask.

SOLUTION: A current flowing film 7 is formed on the whole surface of a board 6. A board which an interlayer insulating film, a substratum conducting pattern, a connecting hole, etc., are formed on a semiconductor substrate is used as the board 6. An insulating film 8 is deposited. After that, a resist mask 9 of a line and space pattern is formed. The insulating film 8 is anisotropically etched by using the resist mask 9 as an etching mask, and the current flowing film 7 is uniformly exposed. The current flowing film 7 is made an electrode, and a thin film conducting pattern 5 composed of Au-plating is formed. A stencil of the insulating film 8 is eliminated, and continuously, the exposed current flowing film 7 is eliminated by sputter etching or the like.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144552

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁶
H 0 1 F 41/04
17/00

識別記号

F I
H 0 1 F 41/04
17/00

C
B

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21) 出願番号 特願平8-294967

(22) 出願日 平成8年(1996)11月7日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中村 光宏

東京都品川区北品川6丁目7番35号 ソニー株式会社内

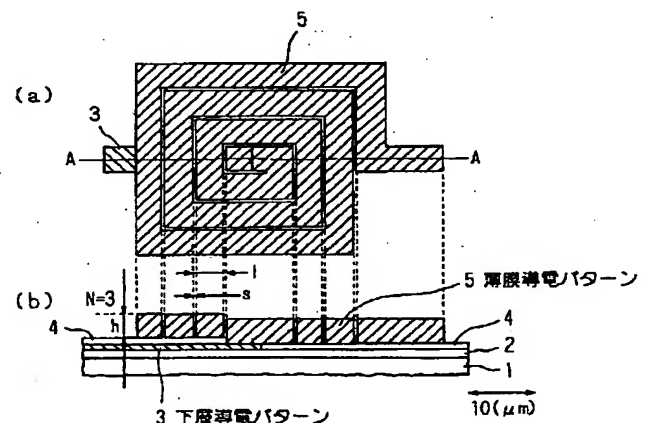
(54) 【発明の名称】 薄膜導電パターンの形成方法およびこれを用いた薄膜インダクタ

(57) 【要約】

【課題】 パターンの膜厚は確保したまま、スペース間隔を縮小したラインアンドスペースパターンからなる薄膜導電パターンの形成方法、およびこれを用いた薄膜インダクタ等を提供する。

【解決手段】 薄膜導電パターン5をメッキで形成する際のステンシルとして、従来の厚膜レジストマスクに換え、 SiO_2 等のステンシル材を微細異方性加工して用いる。

【効果】 スペース幅が $1\mu\text{m}$ 程度以下、パターン断面のアスペクト比が例えば5以上のラインアンドスペースパターンが、制御性良く形成できる。したがって、薄膜インダクタ等に適用すれば、小型かつQ値に優れた素子を得ることが可能となる。



(2)

【特許請求の範囲】

【請求項1】 基板上に通電膜を全面に形成する工程、前記通電膜上に、後工程で形成する薄膜導電パターンの厚さに略等しい厚さを有する絶縁膜を全面に形成する工程、

前記絶縁膜上に、レジストマスクを所望のラインアンドスペースパターン状に形成する工程、

前記レジストマスクをエッチングマスクとして前記絶縁膜を異方性エッチングし、前記通電膜を露出する工程、
露出した前記通電膜上に、前記絶縁膜の厚さに略等しい薄膜導電パターンをメッキにより選択的に形成する工程、

前記絶縁膜を除去し、前記通電膜を露出するとともに、前記薄膜導電パターンを前記ラインアンドスペースパターンの相補パターン状に残す工程、

前記薄膜導電パターンをエッチングマスクとして、露出した前記通電膜を除去する工程、
以上の工程を有することを特徴とする薄膜導電パターンの形成方法。

【請求項2】 前記薄膜導電パターンのスペース間隔は $2\mu\text{m}$ 以下であるとともに、厚さは $2\mu\text{m}$ 以上であることを特徴とする請求項1記載の薄膜導電パターンの形成方法。

【請求項3】 請求項1または2記載の薄膜導電パターンの形成方法により形成されたことを特徴とする薄膜インダクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は薄膜導電パターンの形成方法およびこれを用いた薄膜インダクタに関し、さらに詳しくは、ラインアンドスペースパターンのスペース間隔を狭めたスパイラル状の薄膜インダクタ等の薄膜導電パターンの形成方法およびこれを用いた小型薄膜インダクタに関する。

【0002】

【従来の技術】 従来より、GaAs等の化合物半導体を用い、MESFETやHEMT等の高速能動素子と、抵抗、キャパシタ、インダクタ等の受動素子を1チップ上に形成する高周波デバイスがMMIC (Monolithic Microwave Integrated Circuit) として知られている。これら受動素子の中でも、キャパシタ、インダクタは半導体チップ面積に占める割合が数十%におよび、小型化が望まれている。これらのうちキャパシタは、3次元的な電極構造の採用や、 Ta_2O_5 等高誘電率材料の採用により小型化を図ることが可能である。

【0003】 現在、MMICのインダクタとしてはスパイラル状の薄膜インダクタが一般的に用いられている。これを図3(a)～(b)を参照して説明する。このうち、図3(a)はスパイラル状の薄膜インダクタの概略

2

平面図、図3(b)はその概略断面図であり、図3

(a)のA-A断面を示す。半導体基板1上に下層層間絶縁膜2および下層導電パターン3、上層層間絶縁膜4およびスパイラル状の薄膜導電パターン5が順次形成されている。なお、上層層間絶縁膜4に開口された接続孔により、薄膜導電パターン5の中心部分と下層導電パターン3の導通がとられている。

【0004】 このスパイラル状の薄膜インダクタの面積を決定するパラメータは、インダクタの内径 r 、薄膜導電パターン5のライン幅 l 、スペース幅 s 、巻数 N である。またこのスパイラル状の薄膜インダクタのインダクタンスを増大するためには、巻数 N を増やすことで容易に実現できるが、占有面積も増えるので好ましくない。インダクタンス増大の他の方法は、内径およびスペース幅 s を小さくすればよく、この場合には占有面積が小さくなる。さらに、薄膜導電パターン5の厚さ h を大きくすることでインダクタンスは大きくなり、この場合は占有面積に変わりはない。図3に示される従来の薄膜インダクタの場合、ライン幅 l 、スペース幅 s および厚さ h はいずれも略 $4\mu\text{m}$ 程度のデザインルールで設計されている。

【0005】 またスパイラル状の薄膜インダクタを数GHzの周波数帯で使用する場合、周波数特性であるQ値が重要であるが、ライン幅 l およびスペース幅 s ともに小さい方が優れた特性が得られる。以上をまとめると、占有面積が小さく小型かつ高周波特性の優れた薄膜インダクタを形成するためには、薄膜導電パターン5の厚さ h を大きく、ライン幅 l およびスペース幅 s ともに小さく設計すればよいことが判る。これらの設計事項は、同じ形状の薄膜導電パターンを用いる薄膜トランスや、薄膜磁気ヘッドの薄膜コイル、あるいはマイクロマシンアクチュエータの薄膜コイル等の小型高性能化についても適用することができる。

【0006】 さて、GaAs半導体基板を用いたMMICの薄膜インダクタは、導電材料にAu(金)を用い、メッキで成膜する方法が一般的である。これはn型GaAsへのオーミックコンタクト電極として、AuGeNiに代表されるAu系の金属が用いられ、その後の配線形成にもAuを用いることが製造プロセスの整合性をとり易いことが理由の一つである。また同じ素子面積で大きなインダクタンスを得るため、厚膜の形成が容易なメッキが好んで採用される。メッキは、電解メッキおよび無電解メッキともに、パターンニングした下地通電膜上や、活性層上に選択的に堆積することができる。したがって蒸着やスパッタリングといった真空薄膜形成法よりも、材料の使用効率が良いことも特徴である。

【0007】 メッキによる薄膜インダクタの従来の形成方法を、図4(a)～(e)に示す概略断面図を参照して説明する。まず図4(a)に示すように、基板6上にメッキ用の通電膜7を形成する。基板6はGaAs半導

(3)

3
体基板上に層間絶縁膜や下層導電パターン等が形成されたものである。また通電膜7はTi/Auからなる積層膜を蒸着やスパッタリングで薄く形成したものである。つぎに図4(b)に示すように、厚膜レジストマスク10をラインアンドスペースパターン状に形成する。この後、図4(c)に示すように通電膜7を陰極として、ステンシル(stencil)である厚膜レジストマスク10のスペース間に、Auからなる薄膜導電パターン5を選択的に埋め込む。続けて図4(d)に示すように厚膜レジストマスク10を剥離し、この後、露出した通電膜7をイオンミリングで除去して図4(e)に示すように薄膜導電パターン5を完成する。この場合の平面形状は図3(a)で説明した通りである。

【0008】このような従来の薄膜インダクタの形成方法において、ラインアンドスペースパターンの最小寸法、すなわちデザインルールを決定する因子は、厚膜レジストマスク10の膜厚と、その膜厚におけるリソグラフィの解像度である。薄膜インダクタの場合には、メッキの膜厚を大きくするため、数 μm 厚の厚膜レジストを用いる。かかる厚膜レジストを異方性形状に加工するリソグラフィ精度は、例えば4 μm のレジスト膜厚の時には4 μm 程度のラインアンドスペース形状がやっとなである。10 μm 程度の厚膜が得られるレジストもあるが、これも加工精度は10 μm 程度である。このように、厚膜レジストでは膜厚程度のリソグラフィ精度がほぼ限界と見られる。すなわち、現状では高集積化のためにスペース間隔を狭めると薄膜導電パターンの膜厚が不十分となり、膜厚を得るために厚膜レジストを用いるとスペース間隔を狭めることが不可能となる。

【0009】

【発明が解決しようとする課題】本発明はかかる技術背景に鑑み提案するものであり、ラインアンドスペースパターンのスペース間隔等を縮小できるとともに、パターンの厚さを確保できる薄膜導電パターンの形成方法、およびこれを用いた小型高性能の薄膜インダクタを提供することをその課題とする。

【0010】

【課題を解決するための手段】本発明は上述した課題を達成するために提案するものである。すなわち本発明の薄膜導電パターンの形成方法は、基板上に通電膜を全面に形成する工程、この通電膜上に、後工程で形成する薄膜導電パターンの厚さに略等しい厚さを有する絶縁膜を全面に形成する工程、この絶縁膜上に、レジストマスクを所望のラインアンドスペースパターン状に形成する工程、レジストマスクをエッチングマスクとして前記絶縁膜を異方性エッチングし、下地の通電膜を露出する工程、露出した通電膜上に、先の絶縁膜の厚さに略等しい薄膜導電パターンをメッキにより選択的に形成する工程、絶縁膜を除去し、下地の通電膜を露出するとともに、薄膜導電パターンを先のラインアンドスペースパタ

4

ーンの相補パターン状に残す工程、残された薄膜導電パターンをエッチングマスクとして、露出した部分の下地通電膜を除去する工程、以上の工程を有することを特徴とする。

【0011】本発明の薄膜導電パターンの形成方法は、薄膜導電パターンのスペース間隔が2 μm 以下であるとともに、厚さは2 μm 以上である場合に好適に用いることができる。また本発明の薄膜導電パターンの形成方法は、一例としてMMICに搭載されるような小型化、小占有面積化が要求される薄膜インダクタに好ましく適用することができる。

【0012】次に作用の説明に移る。本発明においては、薄膜導電パターンの選択メッキのステンシルを、従来のレジストマスクに換えて絶縁膜パターンを採用することにより、例えば幅2 μm 以下好ましくは1 μm 程度以下、厚さ2 μm 以上好ましくは4 μm 程度以上のステンシルを異方性よく高精度に形成することができる。したがって、スペース間隔sが1 μm 程度と狭く、数 μm の厚さの薄膜導電パターンを容易に形成することが可能となる。

【0013】本発明に用いる絶縁膜としては、SiO₂、SiON、Si₃N₄等のシリコン化合物を、デポジションレートがとれるCVD法等で形成すればよい。また無機SOGや有機SOG、あるいはポリイミド等、レジストマスクとエッチング選択比が得られる材料を塗布焼成あるいは塗布することにより、厚膜として形成することもできる。

【0014】このような厚膜の絶縁膜をパターンニングする際には、例えば厚さ1~1.5 μm 程度、幅2 μm 程度以下好ましくは1 μm 程度以下の高解像度のレジストマスクをエッチングマスクとし、RIE等の異方性に優れ、例えば5程度の選択比がとれるエッチング条件を採用すればよい。エッチングガスとしては、例えばCF₄やCHF₃等のCF系ガスにO₂やH₂等の添加ガスを加えた混合ガスを用いることができる。エッチングの均一性を高めるためには十分なオーバーエッチングを施すことが好ましいが、下地の通電膜にAu等を用いれば、CF系ガスとは反応しないため、十分な選択比が採れ、これが可能となる。

【0015】したがって、例えば幅が1 μm 程度以下と十分に狭く、アスペクト比の大きい絶縁膜ステンシルを用いることにより、スペース間隔が従来の数分の1で、しかも数 μm の厚膜の薄膜導電パターンを容易に形成することができる。このため、小型かつ高周波特性に優れた薄膜インダクタ等や、これを搭載した高集積化MMICが可能となる。

【0016】

【発明の実施の形態】以下、本発明を図面を参照しつつさらに詳しく説明する。はじめに、本発明の薄膜導電パターンの形成方法により形成された薄膜インダクタの構

(4)

5

造を図1(a)～(b)を参照して説明する。基本的な構造は図3で説明した従来の薄膜インダクタと同じであり、同様の構成要素には同一の参照符号を付してある。このうち、図1(a)はスパイラル状の薄膜インダクタの概略平面図、図1(b)はその概略断面図であり、図1(a)のA-A断面を示す。GaAs等の半導体基板1上に下層層間絶縁膜2および下層導電パターン3、上層層間絶縁膜4およびAuメッキからなるスパイラル状の薄膜導電パターン5が順次形成されている。図3に示した従来の薄膜インダクタとの大きな差異は、薄膜導電パターンのライン幅 l やその厚さ h はほぼ同一でありながら、スペース間隔 s が $0.8\mu\text{m}$ 程度と、従来の数分の一に縮小されている点である。

【0017】つぎに、本発明の薄膜導電パターンの形成方法を、図2(a)～(f)に示す概略断面図を参照して説明する。

【0018】まず図2(a)に示すように、基板6上全面にメッキ用の通電膜7を形成する。基板6はGaAs半導体基板上に層間絶縁膜や下層導電パターンおよび接続孔等が形成されたものである。MESFETやHEMT等の能動素子が予め作り込まれたものでもよい。また通電膜7はTi/Auからなる積層膜を蒸着やスパッタリングで薄く形成したものであり、その厚さは例えばTi 50nm 、Au 200nm である。Tiは下地の層間絶縁膜等と薄膜導電パターンとの密着性を高めるための層である。

【0019】つぎに図2(b)に示すように、例えば SiO_2 からなる絶縁膜8をプラズマCVD等により約 $5\mu\text{m}$ 堆積する。この後、レジスト膜を例えば $1.2\mu\text{m}$ の厚さにスピンコートし、ライン幅例えば $0.8\mu\text{m}$ 、スペース幅例えば $4\mu\text{m}$ のラインアンドスペースパターンの高解像度レジストマスク9を形成する。

【0020】この後、例えば平行平板型RIE装置と CF_4/O_2 混合ガスを用い、高解像度レジストマスク9をエッチングマスクとして絶縁膜8を異方性エッチングする。このときエッチング選択比として約5以上は容易に得られる。下地通電膜7表面のAuは SiO_2 エッチング用の CF_4/O_2 混合ガスとは反応せずにエッチングストップパとして機能するので、オーバーエッチングを加えることにより、絶縁膜8の残渣を生じることなく、通電膜7を均一に露出して絶縁膜8のステンシルを形成することが可能である。この状態を図2(c)に示す。

【0021】つぎに通電膜7を電極とし、図2(d)に示すようにAuメッキによる薄膜導電パターン5を $5\mu\text{m}$ の厚さに形成する。図2(c)に示したRIEの終了段階で高解像度レジストマスク9が残存している場合には、Auメッキ工程の前後いずれかの段階で剥離する。

【0022】この後、絶縁膜8のステンシルを除去する。抜きパターンの方法は、希フッ酸等によるウェットエッチング、あるいはフッ素系ガスを用いた等方性モー

6

ドの強いドライエッチングを用いる。この抜きパターン工程ではAuからなる薄膜導電パターン5や露出する通電膜7は反応しない。この状態を図2(e)に示す。

【0023】続けて、Arガスをを用いたイオンミリングやスパッタエッチング等で、露出した通電膜7を除去する。通電膜7は薄いので、これら物理的なエッチングで容易に除去することができる。パターンニング終了後の薄膜導電パターン5を図2(f)に示す。この薄膜導電パターン5の平面形状は、例えば図1(a)に示した通りである。この後、必要に応じてさらに上層の層間絶縁膜やパシベーション膜を薄膜導電パターン5上に形成する。これら層間絶縁膜やパシベーション膜の材料として、フッ素を含む酸化シリコン(SiOF 、比誘電率 $3.2\sim 3.7$)やテフロン、サイトップ(いずれも商品名)等フッ素系高分子(比誘電率約2)を用いることにより、寄生容量を低減した高速動作、低発熱の薄膜インダクタを形成することができる。

【0024】本実施の形態例によれば、スペース幅 $0.8\mu\text{m}$ 、ライン幅 $4\mu\text{m}$ 、厚さ $5\mu\text{m}$ のラインアンドスペース状の薄膜導電パターンを制御性高く形成することができる。したがって、厚膜レジストマスクをステンシルに用いる従来の方法では不可能であった、小型、省占有面積で、かつ高周波特性であるQ値に優れた薄膜インダクタ等が実現できる。

【0025】なお本実施の形態例ではスペース幅のみを縮小したが、他の実施の形態例として、ライン幅をも $1\mu\text{m}$ 程度あるいはそれ以下に迄縮小することができる。したがって、薄膜導電パターンのスペース幅およびライン幅ともに設計の自由度が拡がり、使用目的に合った薄膜導電パターンを形成することができる。

【0026】以上本発明の薄膜導電パターンの形成方法およびこれを用いた薄膜インダクタにつき詳細な説明を加えたが、本発明はこれら実施の形態例によりなら限定されるものではない。例えば、絶縁膜や薄膜導電パターンあるいは通電膜の材料は SiO_2 やAu、あるいはTi/Auの他に各種変更が可能である。例えば薄膜導電パターンとしてCuメッキは好適に用いることができる。本発明の薄膜導電パターンの形成方法は、例示した薄膜インダクタの他に、薄膜コイルや薄膜トランス、薄膜磁気ヘッドあるいはマイクロマシンアクチュエータ等にも適用することができる。

【0027】

【発明の効果】以上の説明から明らかなように、本発明の薄膜導電パターンの形成方法によれば、膜厚を確保したまま、スペース幅やライン幅を縮小したラインアンドスペースパターンを制御性良く形成することができる。

【0028】またこの薄膜導電パターンの形成方法を例えば薄膜インダクタに適用することにより、小型化、省占有面積化、そして高周波特性にすぐれた素子が得られ、MMIC等の高集積化、高性能化に寄与する。

50

(5)

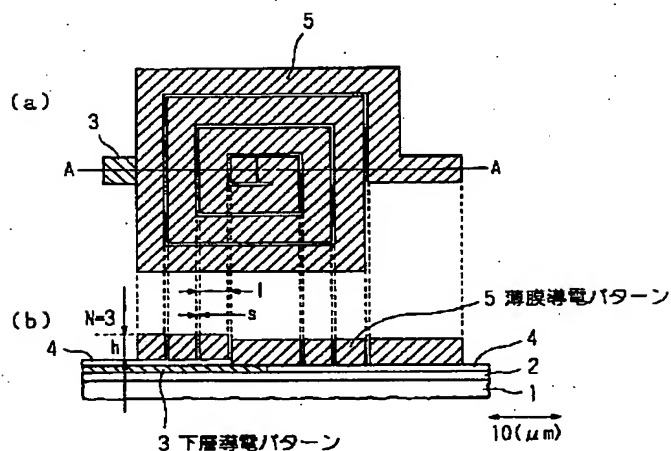
【図面の簡単な説明】

【図1】本発明の薄膜インダクタの形成方法を適用した薄膜インダクタを示す概略平面図および概略断面図である。

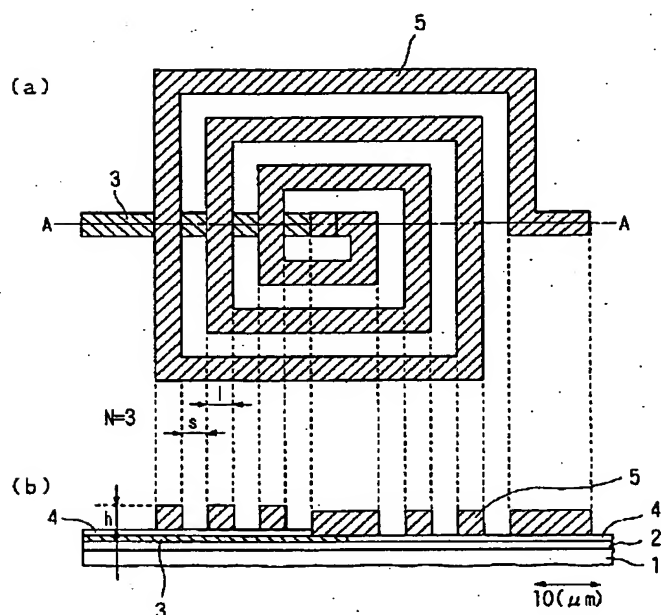
【図2】本発明の薄膜導電パターンの形成方法の工程を示す概略断面図である。

【図3】従来の薄膜インダクタを示す概略平面図および概略断面図である。

【図1】



【図3】



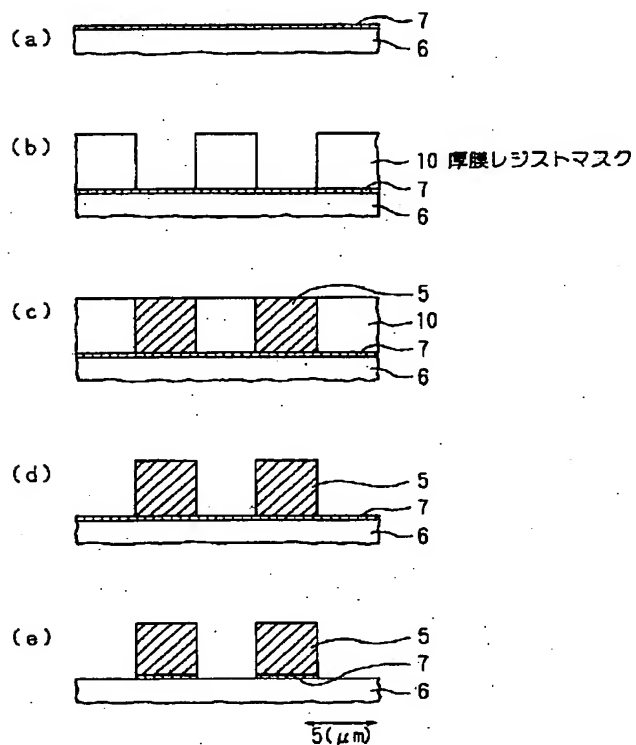
8

【図4】従来の薄膜導電パターンの形成方法の工程を示す概略断面図である。

【符号の説明】

1…半導体基板、2…下層層間絶縁膜、3…下層導電パターン、4…上層層間絶縁膜、5…薄膜導電パターン、6…基板、7…通電膜、8…絶縁膜、9…高解像度レジストマスク、10…厚膜レジストマスク

【図4】



(6)

【図2】

